

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-334168

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

G06F 12/00
G11C 16/06

(21)Application number : 04-308470

(22)Date of filing : 18.11.1992

(71)Applicant : HITACHI LTD

(72)Inventor : NAKATANI KOICHI
KITAHAIRA JUN
TSUNEHICO TAKASHI
KATAYAMA KUNIHICO
YAMAGAMI HAJIME
SEKI YUKIHIRO

(30)Priority

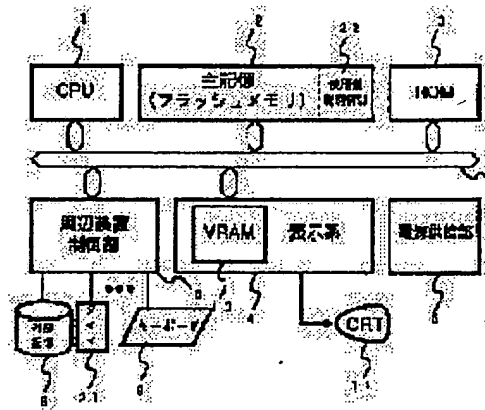
Priority number : 04 30442 Priority date : 18.02.1992 Priority country : JP

(54) INFORMATION PROCESSOR USING FLASH MEMORY

(57)Abstract:

PURPOSE: To prevent stored information from being erased even when a power supply is disconnected by constituting a main storage of a flash memory.

CONSTITUTION: This information processor consists of a CPU 1, a main storage 2, a ROM 3, a display system 4, a peripheral device control part 5, a power supply part 6, and a system bus 7 connecting respective parts and the main storage 2 is constituted of a flash memory. User identification(ID) information 22 is registered in a specific area of the main storage 2. The user ID information 22 is a password, an ID number, or the like, for example, to identify a specific user or user group. In order to prevent the contents of the main storage 2 from being known by a third person, the user of the information processor registers his (or her) own user ID information in the area. A user identifying means to be a program stored in the ROM 3 is started at the time of turning on a power supply and inspects corresponding relation between the registered information 22 and user ID information inputted by the user.



LEGAL STATUS

[Date of request for examination] 24.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3275398

[Date of registration] 08.02.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-334168

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/00	5 5 0	7368-5B		
G 1 1 C 16/06		6741-5L	G 1 1 C 17/ 00	3 0 9 G

審査請求 未請求 請求項の数12(全 13 頁)

(21)出願番号 特願平4-308470

(22)出願日 平成4年(1992)11月18日

(31)優先権主張番号 特願平4-30442

(32)優先日 平4(1992)2月18日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 中谷 公一

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マイクロエレクトロニクス

機器開発研究所内

(72)発明者 北原 潤

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マイクロエレクトロニクス

機器開発研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 フラッシュメモリを用いた情報処理装置

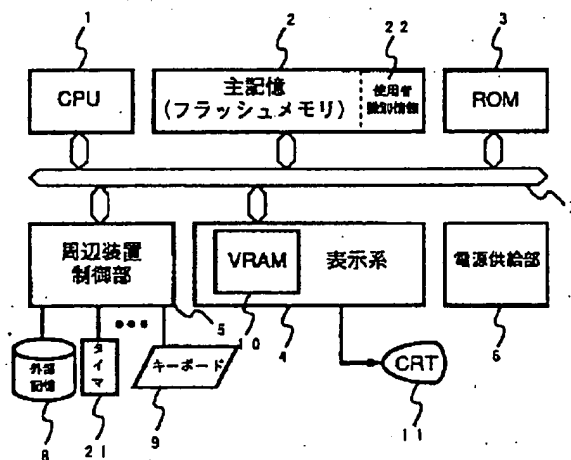
(57)【要約】

【目的】本発明は、情報処理装置に好適な記憶装置を提供することを目的とする。

【構成】情報処理装置の主記憶を構成する半導体記憶素子にフラッシュメモリ2を用いた。また、主記憶に使用者識別情報22を記憶する。さらに、ROM3に格納した使用者識別手段は、使用者がキーボード9から入力する使用者識別情報と前記使用者識別情報の対応関係を検査する。

【効果】記憶素子自体が不揮発性であるため電源が切れても主記憶の記憶内容が消失することがない。従って、作業途中で電源が切れても電源が復活したときに作業を続行できる。また、電源を投入したときに使用者の識別検査を行うので、保持している主記憶の内容が他者に漏洩することはない。

図9



【特許請求の範囲】

【請求項1】中央処理装置と、主記憶部と、表示系と、それらを接続するバスとからなる情報処理装置において、少なくとも該主記憶部がフラッシュメモリであることを特徴とする情報処理装置。

【請求項2】中央処理装置と、主記憶部と、表示系と、それらを接続するバスとからなる情報処理装置において、該主記憶部の一部がフラッシュメモリであることを特徴とする情報処理装置。

【請求項3】中央処理装置と、主記憶部と、表示系と、それらを接続するバスとからなる情報処理装置において、該表示系のVRAMがフラッシュメモリであることを特徴とする情報処理装置。

【請求項4】中央処理装置と、主記憶部と、表示系と、それらを接続するバスとからなる情報処理装置において、該主記憶部と該表示系における記憶素子がフラッシュメモリであることを特徴とする情報処理装置。

【請求項5】中央処理装置と、表示系と、それらを接続するバスとからなる情報処理装置において、主記憶部としてフラッシュメモリカードを装着する構成であることを特徴とする情報処理装置。

【請求項6】中央処理装置と、主記憶部と、表示系と、それらを接続するバスとからなり、該主記憶部と該表示系における記憶素子がフラッシュメモリである情報処理装置において、プログラムやデータをフラッシュメモリカードで提供することを特徴とする情報処理装置。

【請求項7】請求項1、2、3、または4記載の情報処理装置において、使用者が該情報処理装置に使用者識別情報を入力する度に、該使用者識別情報と該情報処理装置に登録した使用者識別情報の対応関係を検査し、対応不良回数が一定回数に至ったときは、該フラッシュメモリの内容を消去する使用者識別手段を設けたことを特徴とする情報処理装置。

【請求項8】請求項7記載の情報処理装置において、該使用者識別手段は該フラッシュメモリの内容を消去する前に、該フラッシュメモリの内容を上記情報処理装置の外部記憶装置に退避することを特徴とする情報処理装置。

【請求項9】請求項5または6記載の情報処理装置において、使用者が上記情報処理装置に使用者識別情報を入力する度に、上記使用者識別情報と上記フラッシュメモリカードに登録した使用者識別情報の対応関係を検査し、対応不良回数が一定回数に至ったときは、上記フラッシュメモリカードの内容を消去する使用者識別手段を設けたことを特徴とする情報処理装置。

【請求項10】請求項7、8または9記載の情報処理装置において、上記使用者識別手段は、上記フラッシュメモリまたは上記フラッシュメモリカードの内容を消去する際、フラッシュメモリのチップ消去機能を用いることを特徴とする情報処理装置。

【請求項11】請求項7、8、9または10記載の情報処理装置において、上記使用者識別手段は、上記使用者が上記情報処理装置に上記使用者識別情報を所定時間経過しても入力しない場合、上記対応不良回数を加算することを特徴とする情報処理装置。

【請求項12】使用者が利用する情報を記憶すると共に、上記使用者の上記使用者識別情報を記憶することを特徴とする請求項9記載のフラッシュメモリカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】情報処理装置の記憶装置の構成に関する。

【0002】

【従来の技術】情報処理装置の半導体記憶素子にはROM、D-RAM、S-RAM、VRAMなどの種類の違う素子が用途別に用いられていた。

【0003】情報処理装置の電源を作業途中で切ったとしても、その後の電源投入時には中断した作業を電源を切ったところから再開するレジューム機能を実現するために、作業再開に必要なその時の状態の各情報を特別な不揮発性メモリかバッテリバックアップしたメモリに格納していた。特別な不揮発性メモリを用いた例として、特開昭62-169218号公報がある。

【0004】

【発明が解決しようとする課題】ROM以外の記憶素子は電源が切れてしまうと記憶している情報を保持できなくなる問題があった。

【0005】ROM以外の記憶素子でもバッテリバックアップにより記憶した情報を保持し続けることは可能であるが、バックアップ用のバッテリ及び制御回路が必要になり小型軽量化に問題があった。

【0006】用途別に種類の違う素子を用意しなければならなかった。

【0007】情報処理装置には処理する用途の中の最も記憶容量の必要なプログラムにあわせた記憶装置が必要である。この情報処理装置で記憶容量をあまり必要としない簡単な処理を行う場合には無駄になってしまう問題があった。

【0008】バッテリバックアップによって情報を保持していると、長時間情報処理装置を使用しないでおくときバックアップ用のバッテリも消耗してしまい、情報を保持し続けられなくなってくる問題があった。

【0009】本発明の目的は、上述した問題を解決することにより、小型計量化を図れるとともに電源が切れても情報保持が保障される情報処理装置を提供することにある。

【0010】

【課題を解決するための手段】情報処理装置の主記憶をフラッシュメモリで構成したものである。

【0011】情報処理装置の主記憶の一部をフラッシュ

メモリで構成したものである。

【0012】情報処理装置のVRAMをフラッシュメモリで構成したものである。

【0013】情報処理装置の半導体記憶装置全てをフラッシュメモリで構成したものである。

【0014】情報処理装置本体は記憶部を持たず、フラッシュメモリで構成されたメモリカードを接続することにより記憶部を構成したものである。

【0015】情報処理装置本体には共通作業領域としてのフラッシュメモリを設け、さらにフラッシュメモリで構成されたメモリカードを接続することにより記憶部を構成したものである。

【0016】

【作用】主記憶をフラッシュメモリで構成したために電源が切れても記憶している情報は消失することがない。

【0017】VRAMをフラッシュメモリで構成したために電源が切れても記憶している画像情報は消失することがない。

【0018】主記憶やVRAMをフラッシュメモリで構成したために電源が切れる直前までのメモリの情報を全て保持できるためレジューム機能が簡単に実現できる。

【0019】バッテリーバックアップが不要になり動作時の電源供給のためだけのバッテリーを搭載すれば良いため、バッテリー制御が簡単になると共にバッテリーの構成、制御も簡単になる。

【0020】フラッシュメモリで構成されたメモリカードを接続することによりアプリケーションプログラムと処理するデータのサイズにより最適な容量のメモリシステムを構築できる。

【0021】長時間情報処理装置を使用しないでおいたためバッテリーが消耗してしまっても、記憶装置をフラッシュメモリで構成したために、記憶してある情報を消失してしまうことがない。

【0022】

【実施例】本発明の第一の実施例を図1に示す。図1は、CPU(1)、主記憶(2)、ROM(3)、表示系(4)、周辺装置制御部(5)、電源供給部(6)と、各々を接続するシステムバス(7)とからなる情報処理装置を示している。

【0023】表示系(4)の例として図ではCRT(11)を対象としているが、液晶表示装置などのパネル型の表示装置でも良い。周辺装置制御部(5)は、外部記憶(8)やキーボード(9)などの周辺装置を制御する。

【0024】この情報処理装置の主記憶(2)はフラッシュメモリで構成されている。フラッシュメモリは不揮発性メモリであるため電源が切れても記憶している情報を消失することが無い。

【0025】従来は、図2のように、主記憶(2)にはD-RAMが使用されておりD-RAM制御部(14)

が必要であった。処理の最中に電源を切って処理を中断した後に、電源を入れて中断したところから処理を続行するレジューム機能を実現するためのバックアップ用のバッテリーやその制御回路(13)及びS-RAM(12)が必要であった。バッテリー駆動可能な情報処理装置であると電源供給部(6)にもバッテリーが必要であり、バックアップ用のバッテリーやその制御回路(13)とバッテリーを2重に設けるか、共用して使う制御が必要であった。

【0026】本発明では、バッテリーは情報処理装置を駆動するための電力を供給できれば良くなるためバッテリーの構成、制御回路が簡単になる。

【0027】本発明の第二の実施例を図3に示す。図3は、第一の実施例の主記憶(2)の一部をフラッシュメモリ(15)で構成し、残りを従来通りD-RAMで構成する。電源が切れたときに保持しておかなければならない情報はフラッシュメモリに記憶し、それ以外の保持する必要の無い情報は従来通りD-RAMに記憶する。

【0028】従来のように、情報のバックアップ用のメモリとして設けていたS-RAM(12)の代わりにフラッシュメモリを用意した形になる。フラッシュメモリとD-RAMの、容量とコストを考慮し情報処理装置の目的に合った構成にする。

【0029】フラッシュメモリでは従来のようなバックアップ用のバッテリーは不要になる。

【0030】本発明の第三の実施例を図4に示す。図4は、第一の実施例の表示装置の画像情報を記憶するVRAM(10)をフラッシュメモリで構成したものである。

【0031】従来にも作業中に電源を切りその時の状態の画面情報をバッテリーバックアップされたメモリなどに転送し、電源が再び投入されたときに以前の画面情報を再表示して作業を再開できる情報処理装置はあったが、画面情報をバッテリーバックアップされたメモリなどに転送しなければならなかった。レジューム機能を実現するために画面情報をバッテリーバックアップされたメモリに退避する場合、電源を切るという情報を検出してから実際に電源を切る前にバッテリーバックアップされたメモリに画面情報を退避しなければならないため、電源を切るという情報を検出してから実際に電源を切るまでに時間が必要である。表示装置の画像情報を記憶するメモリをフラッシュメモリで構成したことにより、突然電源が切れても画像情報が消失することが無い。このため、レジューム機能をより簡単に実現することができる。

【0032】本発明の第四の実施例を図5に示す。図5は、主記憶(2)、VRAM(10)、ROM(3)などの情報処理装置の記憶素子全てをフラッシュメモリで構成したものである。情報処理装置では不揮発性のメモリとしてROMを搭載しハードウェアの基本制御プログ

ラムなどを格納している。これをフラッシュメモリに置き換えると単に不揮発性メモリになるだけでなく、ハードウェアの基本制御プログラムが改良されたりしたときの更新が容易になる。また、一種類のメモリ素子だけでメモリを構成できるため、メモリの種類ごとにあった制御部を統一することができる。これにより、回路の共通化ができて装置の簡略化に効果がある。また、一種類のメモリ素子だけでメモリを構成することにより、コストの低減にも効果がある。

【0033】また、主記憶、VRAM、ROMなどの情報処理装置の記憶素子全てをフラッシュメモリで一様に構成し、その中にROM部、VRAM部を設けVRAM部を表示系と共用する構成にすると図6になる。

【0034】本発明の第五の実施例を図7に示す。図7は情報処理装置の本体には記憶装置を持たず、フラッシュメモリを搭載したメモリカード(17)を接続して情報処理装置の機能を果たす。情報処理を制御するプログラムと処理の対象となるデータにより最適の容量を持つフラッシュメモリで構成し、これを情報処理装置本体に接続して処理を行う。これにより本体の小型軽量化に貢献し、また情報処理装置の処理内容によって最適なメモリ容量が設定できるため経済的である。また、書き込み処理中でなければメモリカードをコネクタから抜いてもデータは変化しないため取扱が容易になる。書き込み処理中はメモリカードが抜けなくなる機構を設けても良い。

【0035】本発明の第六の実施例を図8に示す。図8は第五の実施例の情報処理装置本体にも共通の記憶装置としてフラッシュメモリ(18)を搭載したものである。アプリケーションプログラムのメモリカードとデータ用のメモリカードだけでは実際の処理に必要な作業領域が少なくなることがある。そこで共通の作業領域として情報処理装置本体にもフラッシュメモリを搭載したものである。

【0036】以上では、本発明の第一から第六の実施例を説明した。ただし、これらは機密保護の観点から見ると共通の問題がある。例えば第一の実施例(図1)の場合、電源を切っても主記憶(フラッシュメモリ)の内容は消失しないが、このことは機密保護の面ではマイナス要因となる場合がある。すなわち、ある使用者が作業途中で情報処理装置の電源を切った後、他の使用者が電源を投入した場合、前の使用者の作業情報が主記憶に残っている。主記憶の内容が機密保護したい情報だとしても、簡単に漏洩してしまうことになる。第二から第六の実施例も同様である。そこで、機密保護を配慮した実施例を以下に示す。

【0037】本発明の第七の実施例を図9から図12を用いて説明する。図9は図1に示した第一の実施例において、主記憶(2)の特定の領域に使用者識別情報(22)を登録(記憶)するものである。使用者識別情報

(22)は例えば、パスワードや暗証番号などであり、特定の使用者あるいは使用者グループを識別するための情報である。情報処理装置の使用者は主記憶の内容を他者に知られたくない場合、自分の使用者識別情報をこの領域に登録しておく。そして、ROM(3)に格納したプログラムである使用者識別手段は、電源投入時において起動され、登録されている使用者識別情報(22)と使用者がキーボード(9)から入力する使用者識別情報の対応関係を検査する。

【0038】使用者識別手段の第一の実施例を図10に示す。以下、このフローチャートに従って処理内容を説明する。

【0039】31…電源を投入すると、CPUはパワーオンリセットされて本使用者識別手段を呼び出す。そして最初に使用者識別情報、例えばパスワードを主記憶から読み出し、文字変数P1(主記憶の一部、またはCPUの内部レジスタ。以下の変数も同様。)に格納する。

【0040】32…変数P1が空(NULL)かどうかを調べる。もし空ならばパスワードが登録されていない、すなわち、機密保護を必要としないことを意味する。この場合、主記憶(フラッシュメモリ)に保持されている情報に基づいて以前の処理を再開する。一方、空でなければ33以降の使用者識別処理を行う。

【0041】33…数値変数tに初期値0を設定する。本実施例では、使用者がパスワード入力を誤った場合を想定し、一定回数(この例では3回)までパスワード入力ができるようにする。そこで、変数tを導入し、パスワード入力回数を示すカウンタとして用いる。

【0042】34…変数tの値を1増やす。すなわち、パスワード入力回数をカウントアップする。

【0043】35…変数tの値、すなわちパスワード入力回数が3回目以内ならば36へ、否ならば39へ進む。

【0044】36…CRTにメッセージを出力して、使用者にパスワードの入力を要求する。この時点で、使用者はキーボードからパスワードを入力する。

【0045】37…入力されたパスワードを文字変数P2に格納する。

【0046】38…変数P1と変数P2の内容を比較する。もし一致すれば、パスワードを入力した使用者と前に電源を切った時の使用者は同一であると判断し、主記憶(フラッシュメモリ)に保持されている情報に基づいて以前の処理を再開する。一方、一致しなければ34に戻る。

【0047】39…電源を切った時の使用者とは異なるかと判断し、情報が漏洩しないように主記憶(フラッシュメモリ)の内容を消去する。その後、システム起動に移行する。なお、消去方法としては、バイト、ワード、ダブルワード単位などシステムバスのデータバス幅に応じて、0または1を連続書き込みすればよいが、フラッシ

メモリにはチップ消去機能と呼ばれるチップ単位で消去できる機能がある。この機能を用いれば、主記憶の消去を一括して高速に行うことができる。

【0048】上記使用者識別手段を設けることにより、パスワードを登録しておけば主記憶情報の機密を保護することができる。すなわち、ある使用者が作業途中で情報処理装置の電源を切った後、他の使用者が電源を投入した場合、前の使用者の作業情報が主記憶に残っているようなことはない。

【0049】使用者識別手段の第二の実施例を図11に示す。これは図10に示したフローチャートの36と37の間に、パスワード入力までの時間を計る処理41を追加したものである。計時には図9に示したタイマ(21)(例えば、一般的に備わっているリアルタイムクロック)を用いる。41では使用者にパスワードの入力を要求してから所定時間(この例では30秒)、使用者がパスワードを入力しないと、34に戻ってパスワード入力回数をカウントアップする。これにより、主記憶情報の機密保護をさらに強化することができる。

【0050】以上、使用者識別手段の第一と第二の実施例では、パスワードが所定回数あるいは所定時間以内に一致しなければ主記憶の内容を消去することになる。すなわち、電源を切った時の使用者の主記憶情報が消失する。ところが状況によっては、これが消失しないようにする方が好ましいこともある。すなわち、電源を切った時の使用者が後で情報処理装置を使用する場合などである。この点を配慮したのが次で説明する使用者識別手段の第三の実施例である。

【0051】使用者識別手段の第三の実施例を図12に示す。これは図11に示したフローチャートの35と39の間に、主記憶(フラッシュメモリ)の内容を退避する処理42を追加したものである。42では主記憶(フラッシュメモリ)の内容を消去する前に、内容を図9に示した外部記憶(8)に退避する。これにより、前の使用者の主記憶情報は消失することがなく、外部記憶(8)に保管される。

【0052】以上で説明した第七の実施例は、前記第一の実施例に使用者識別手段を設けたものである。前記第二から第四の実施例に対しても同様に、上記第一から第三の使用者識別手段を設けることができる。ただし、第四の実施例に関しては、ROM領域もフラッシュメモリで構成しているため、フラッシュメモリ消去時には、この領域を消去しないようにしなければならない。

【0053】本発明の第八の実施例を図13と図14を用いて説明する。図13は図8に示した第六の実施例において、各フラッシュメモリカード(17)の特定の領域に前記と同様の使用者識別情報(22)を登録(記憶)するものである。フラッシュメモリカードの使用者はカードの内容を他者に知られたくない場合、自分の使用者識別情報をこの領域に登録しておく。そして、フラ

ッシュメモリ(18)に格納したプログラムである使用者識別手段は、電源投入時において起動され、各フラッシュメモリカードに登録されている使用者識別情報(22)と使用者がキーボード(9)から入力する使用者識別情報の対応関係を検査する。

【0054】使用者識別手段の第四の実施例を図14に示す。これは図11に示したフローチャートの31と39に代えて、パスワードをフラッシュメモリカードから読み出して文字変数P1に格納する処理43と、フラッシュメモリカードの内容を消去する処理44をそれぞれ導入したものである。他の処理は全て図11と同様であり、装着された全てのフラッシュメモリカードに対してパスワードの対応関係を検査する。すなわち、パスワードが所定回数あるいは所定時間以内に一致しなければ、該当するフラッシュメモリカードの内容を消去する。これにより、フラッシュメモリカードを他者に不正使用されるのを防ぐことができる。なお、本使用者識別手段は前記第五の実施例に対しても同様に設けることができる。

【0055】

【発明の効果】記憶素子自体が不揮発性であるため電源が切れても主記憶の記憶内容が消失することがないため、作業途中で電源が切れても電源が復活したときに作業を続行できる。また、表示メモリをフラッシュメモリにすることによって、電源が切れても表示していた画面情報も保持し続けることができるため、電源が復活したときの作業の続行が簡単に行えるようになる。

【0056】記憶素子を一種類の記憶素子で構成できるためコストダウンに効果がある。

【0057】バッテリーは情報処理装置の動作時の電源のみを供給すれば良いため小型軽量化に効果がある。

【0058】処理に最低限必要な記憶容量の情報処理装置を構築できるため無駄な大きさ、無駄な消費電力などを削減できる。

【0059】以上のことにより、情報処理装置の構成を簡単にでき小型化に効果があり、電源が切れる心配もしなくて済むようになるため、使い勝手が良くなる。

【図面の簡単な説明】

【図1】本発明に係る第一の実施例を示す図。

【図2】本発明に係る従来の構成を示す図。

【図3】本発明に係る第二の実施例を示す図。

【図4】本発明に係る第三の実施例を示す図。

【図5】本発明に係る第四の実施例1を示す図。

【図6】本発明に係る第四の実施例2を示す図。

【図7】本発明に係る第五の実施例を示す図。

【図8】本発明に係る第六の実施例を示す図。

【図9】本発明に係る第七の実施例を示す図。

【図10】使用者識別手段の第一の実施例を示すフローチャート。

【図11】使用者識別手段の第二の実施例を示すフロー

チャート。

【図12】 使用者識別手段の第三の実施例を示すフローチャート。

【図13】 本発明に係る第八の実施例を示す図。

【図14】 使用者識別手段の第四の実施例を示すフローチャート。

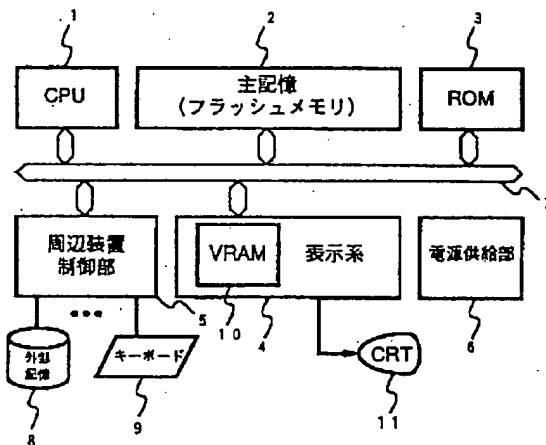
【符号の説明】

- 1…CPU、
- 2…主記憶、
- 3…ROM、
- 4…表示系、
- 5…周辺装置制御部、
- 6…電源供給部、
- 7…システムバス、

- 8…外部記憶装置、
- 9…キーボード、
- 10…VRAM、
- 11…CRT、
- 12…S-RAM、
- 13…バックアップバッテリー及び制御部、
- 14…D-RAM制御部、
- 15…フラッシュメモリで構成した主記憶の一部、
- 16…主記憶拡張用コネクタ、
- 17…フラッシュメモリカード、
- 18…共通領域としてのフラッシュメモリ、
- 21…タイマ、
- 22…使用者識別情報。

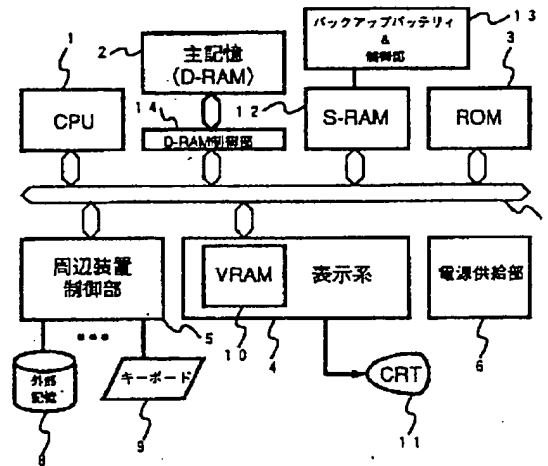
【図1】

図1



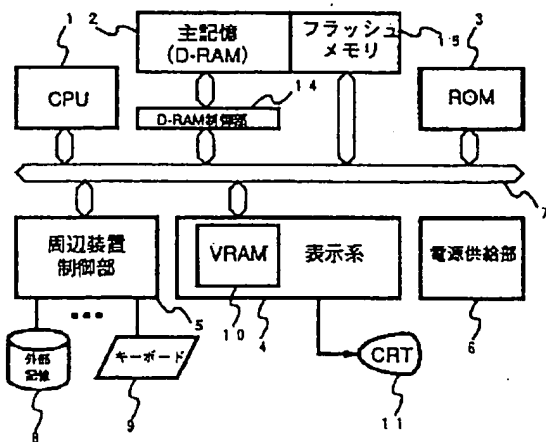
【図2】

図2



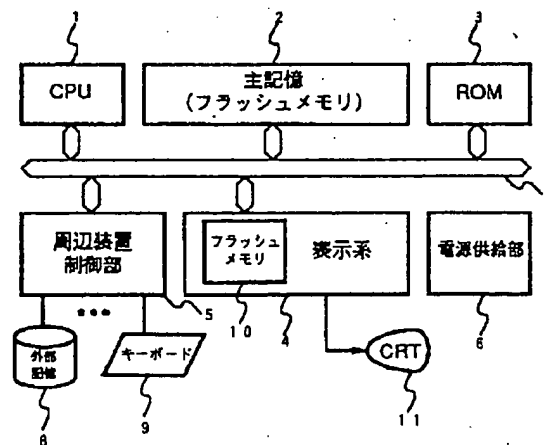
【図3】

図3



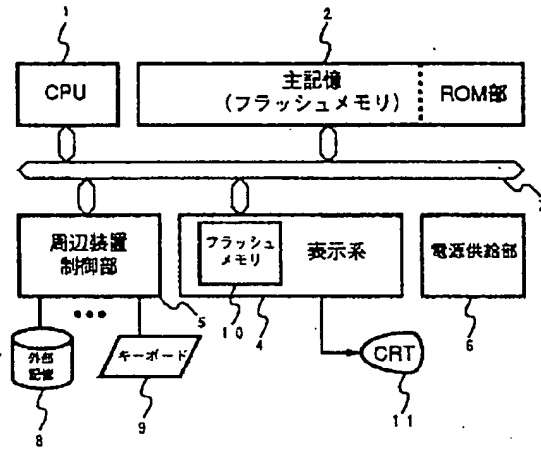
【図4】

図4



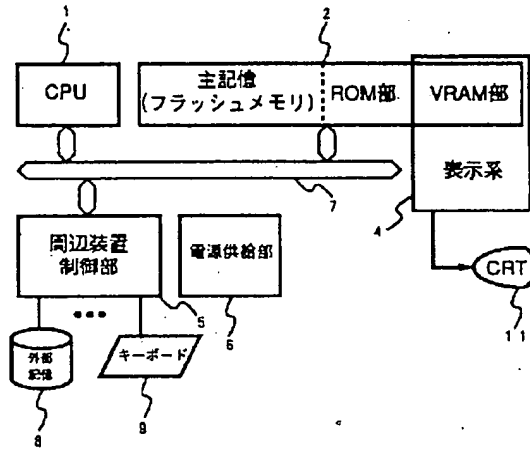
【図5】

図5



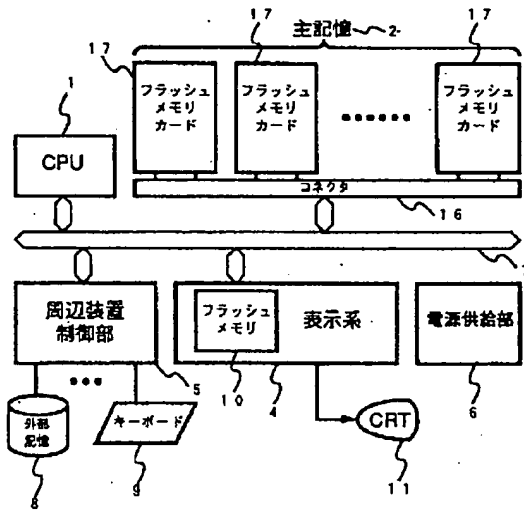
【図6】

図6



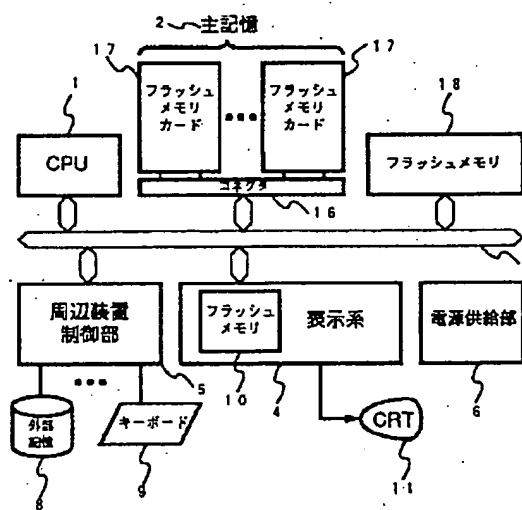
【図7】

図7

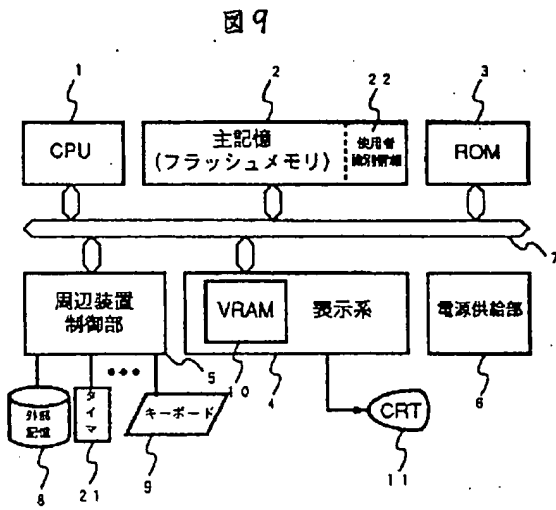


【図8】

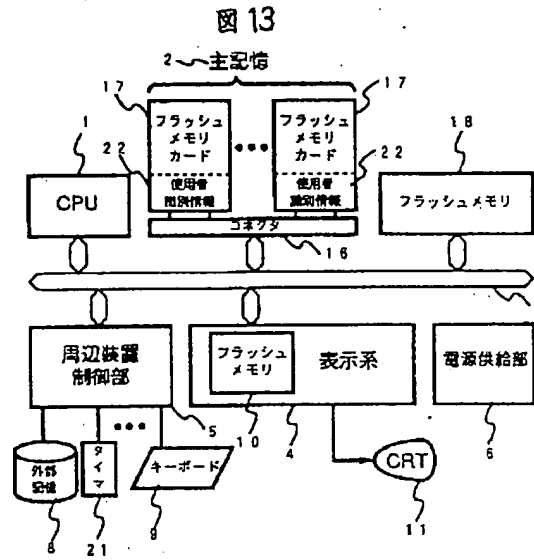
図8



【図9】

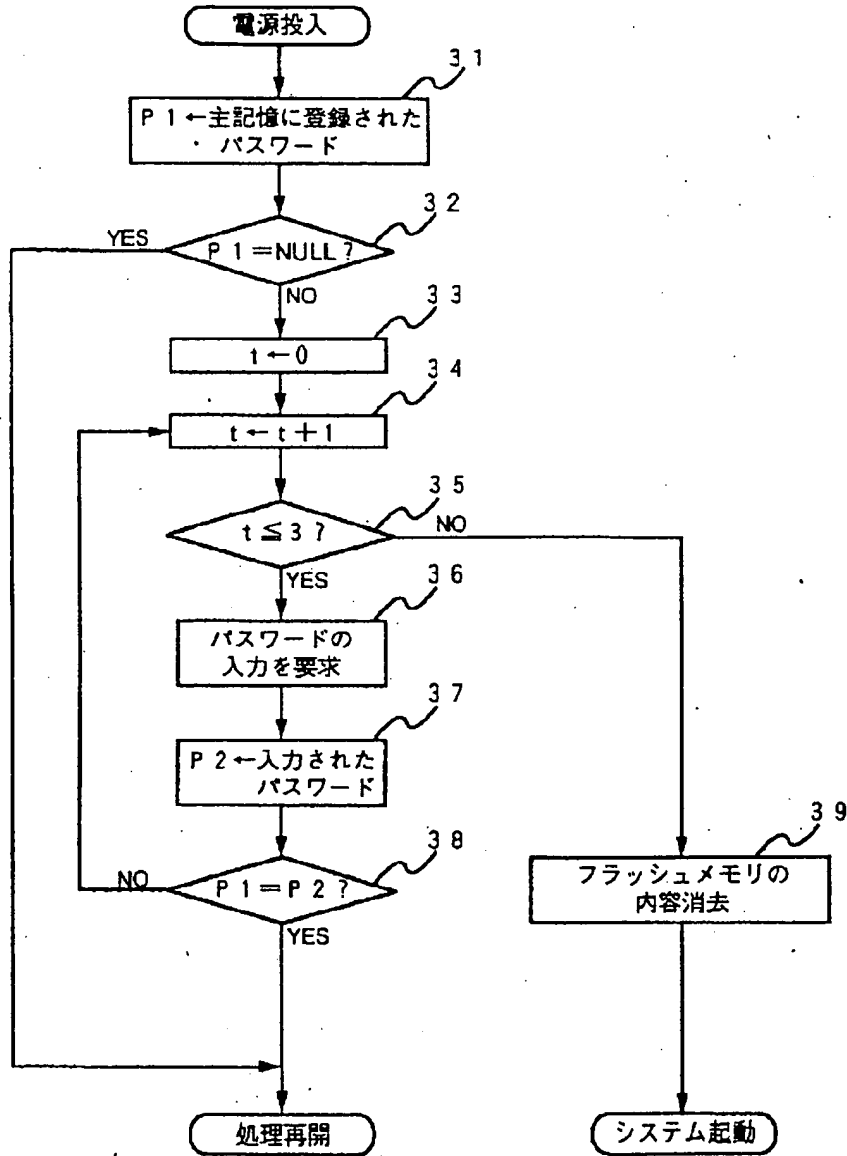


【図13】

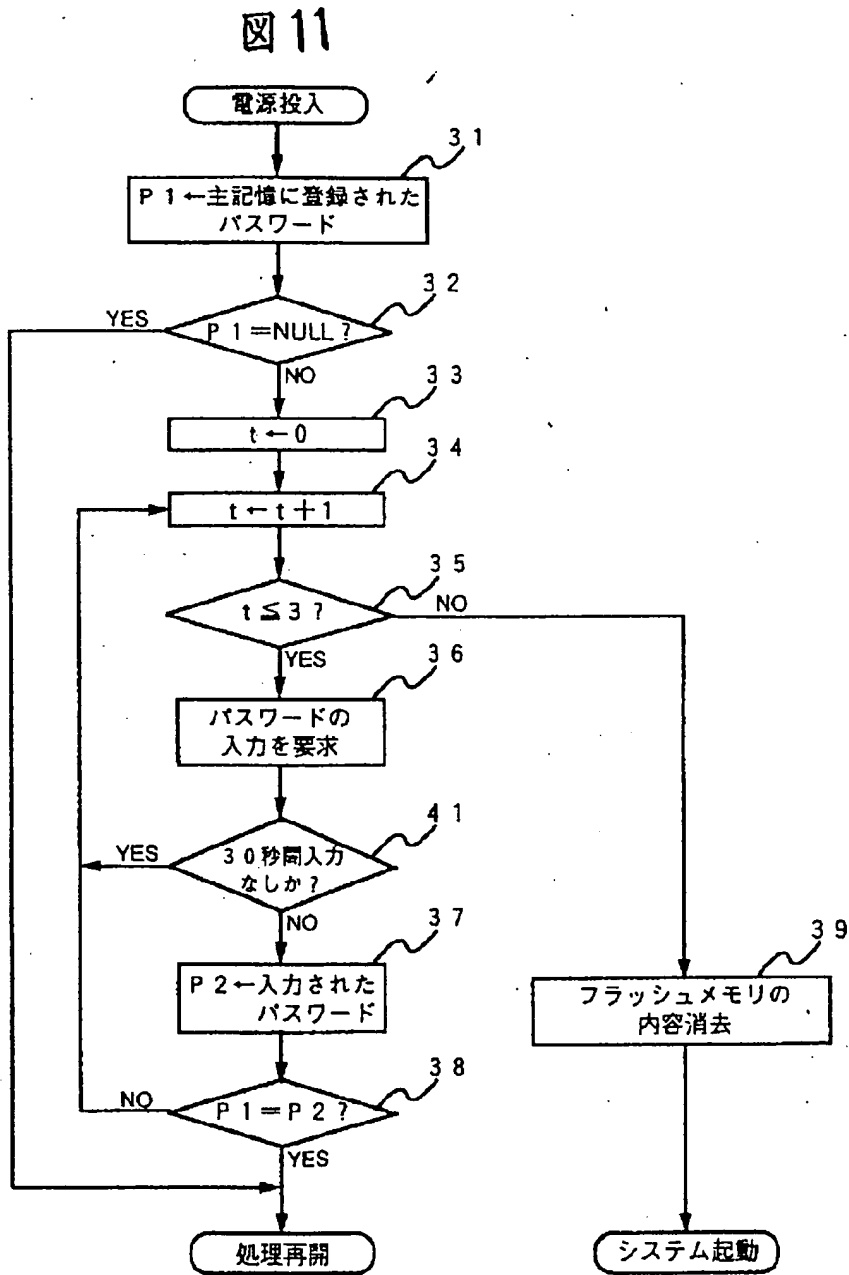


【図10】

図10

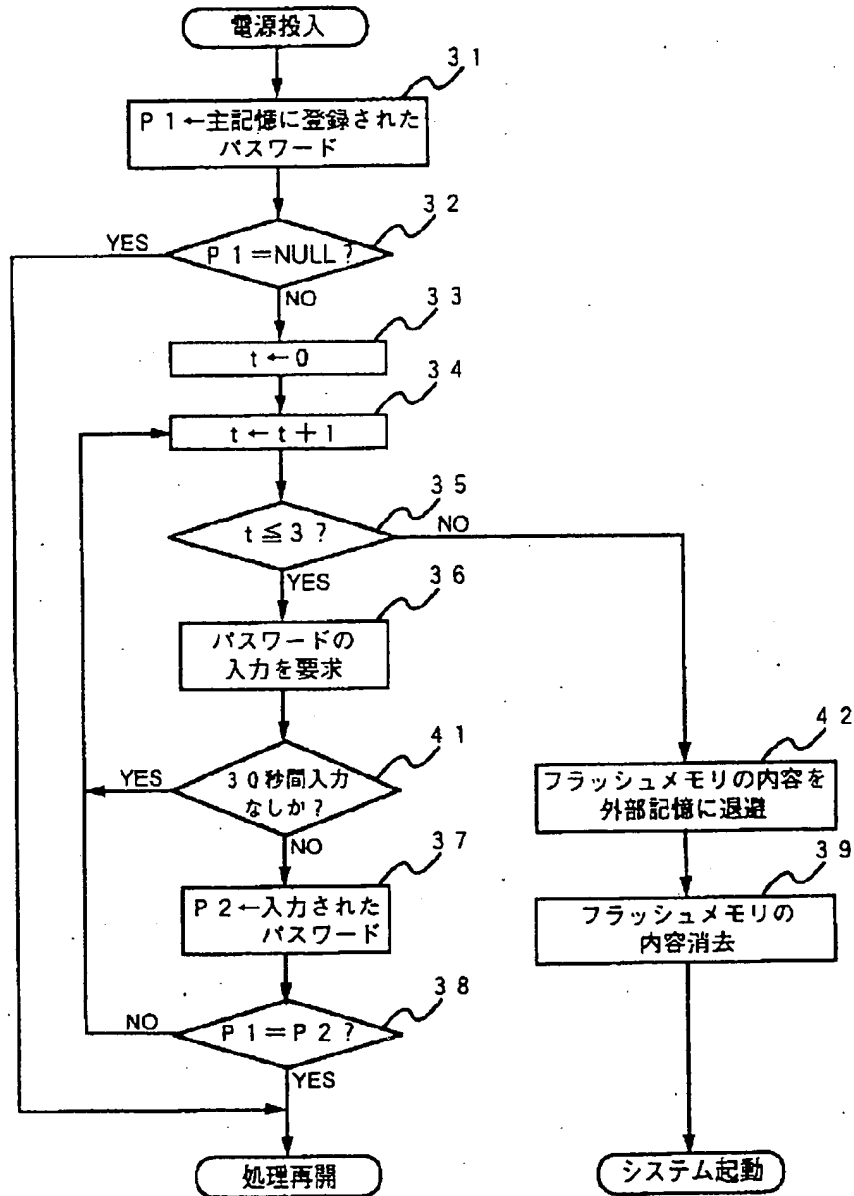


【図11】



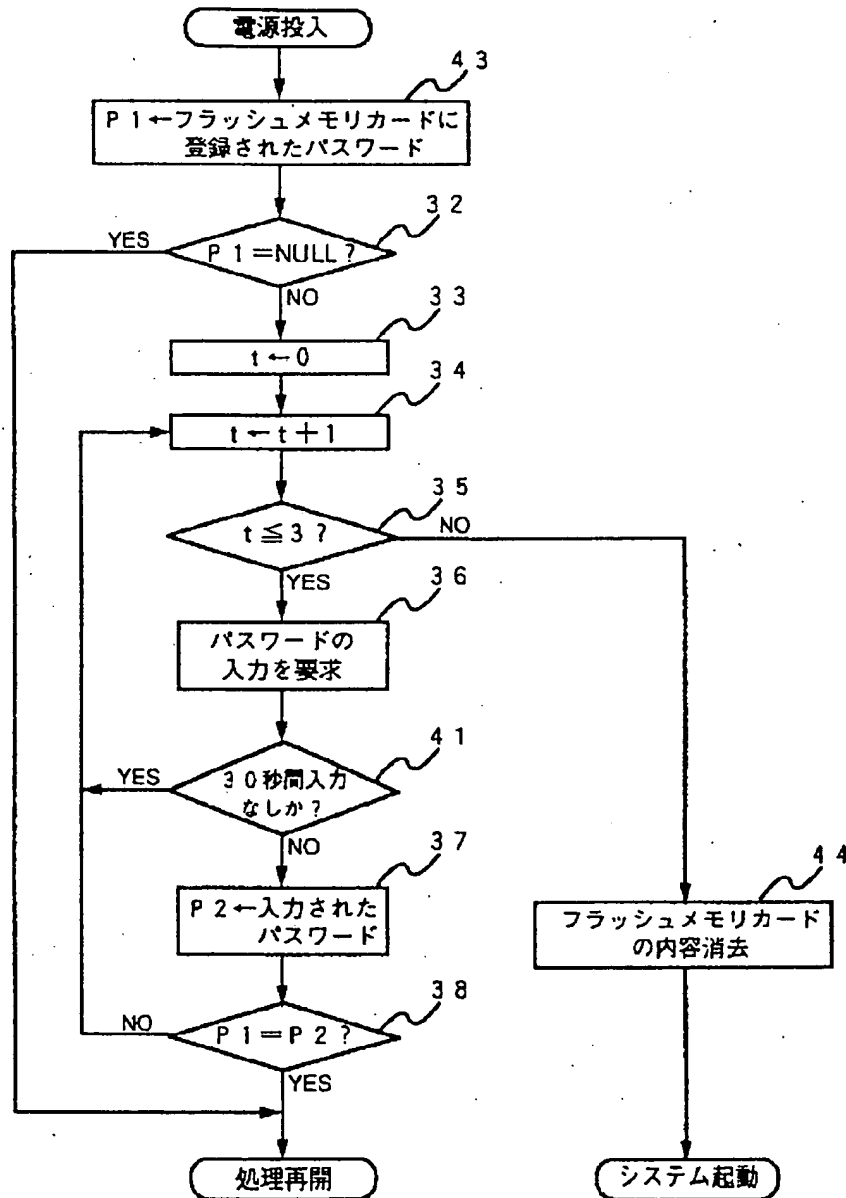
【図12】

図12



【図14】

図 14



フロントページの続き

(72)発明者 常広 隆司
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所マイクロエレクトロニクス
 機器開発研究所内

(72)発明者 片山 国弘
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所マイクロエレクトロニクス
 機器開発研究所内

(72)発明者 山上 一

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マイクロエレクトロニクス
機器開発研究所内

(72)発明者 関 行宏

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マイクロエレクトロニクス
機器開発研究所内